

PATENT

81751.0017

Express Mail Label No. EL 894 944 618 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazunobu KUWAZAWA

Serial No: Not assigned

Filed: August 29, 2001

For: SEMICONDUCTOR DEVICE AND METHOD
OF MANUFACTURING THE SAME

Art Unit: Not assigned

Examiner: Not assigned



TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-265384 which was filed September 1, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: August 29, 2001

By: Michael Crapenhof
Michael Crapenhof
Registration No. 37,115
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 9月 1日

出 願 番 号
Application Number:

特願2000-265384

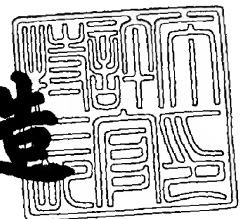
出 願 人
Applicant(s):

セイコーエプソン株式会社

2001年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3060786

【書類名】 特許願

【整理番号】 EP-0243501

【提出日】 平成12年 9月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 桑沢 和伸

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大渕 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

 【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層とを含む、半導体装置であって、
前記半導体基板において、第 1 の導電層が設けられ、
前記第 1 の導電層は、前記半導体層の上または前記半導体層内に設けられた第 2 の導電層と電気的に接続されている、半導体装置。

【請求項 2】 請求項 1 において、
前記第 1 の導電層は、不純物拡散層により構成される、半導体装置。

【請求項 3】 請求項 1 または 2 において、
前記第 1 の導電層は、配線層として機能する、半導体装置。

【請求項 4】 請求項 1 または 2 において、
前記第 1 の導電層は、抵抗層として機能する、半導体装置。

【請求項 5】 請求項 1 ～ 4 のいずれかにおいて、
前記第 1 の導電層と前記第 2 の導電層とを接続するための接続孔が設けられ、
前記接続孔内において、コンタクト層が設けられている、半導体装置。

【請求項 6】 請求項 1 ～ 5 のいずれかにおいて、
前記接続孔において、サイドウォールが設けられている、半導体装置。

【請求項 7】 半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層とを含む、半導体装置であって、
前記半導体基板において、コンタクト領域が設けられ、
前記コンタクト領域は、前記半導体層の上または前記半導体層内に設けられた導電層と電気的に接続され、かつ、電荷を前記半導体基板に流す機能を有する、半導体装置。

【請求項 8】 請求項 7 において、

前記コンタクト領域は、不純物拡散層からなる、半導体装置。

【請求項 9】 請求項 7 または 8 において、

前記コンタクト領域と前記半導体基板とで、PN 接合が構成されている、半導体装置。

【請求項 10】 請求項 9 において、

前記半導体基板は、N 型であり、

前記コンタクト領域は、P 型である、半導体装置。

【請求項 11】 請求項 9 において、

前記半導体基板は、P 型であり、

前記コンタクト領域は、N 型である、半導体装置。

【請求項 12】 請求項 7 ～ 11 のいずれかにおいて、

前記コンタクト領域と前記導電層とを接続するための接続孔が設けられ、

前記接続孔内において、コンタクト層が設けられている、半導体装置。

【請求項 13】 請求項 12 において、

前記接続孔において、サイドウォールが設けられている、半導体装置。

【請求項 14】 半導体基板と、

前記半導体基板の上に設けられた絶縁層と、

前記絶縁層の上に設けられた半導体層とを含む、半導体装置であって、

前記半導体基板において、第 1 の電極が設けられ、

前記半導体層において、第 2 の電極が設けられ、

前記第 1 の電極と、前記第 2 の電極と、前記絶縁層とで、容量素子が構成されている、半導体装置。

【請求項 15】 請求項 14 において、

前記第 1 の電極は、第 1 の不純物拡散層により構成されている、半導体装置。

【請求項 16】 請求項 14 または 15 において、

前記第 2 の電極は、第 2 の不純物拡散層により構成されている、半導体装置。

【請求項 17】 請求項 14 ～ 16 のいずれかにおいて、

前記第 1 の電極は、前記半導体層の上または前記半導体層内に設けられた導電層と電氣的に接続されている、半導体装置。

【請求項 1 8】 請求項 1 7 において、
前記第 1 の電極と前記導電層とを接続するための接続孔が設けられ、
前記接続孔内において、コンタクト層が設けられている、半導体装置。

【請求項 1 9】 請求項 1 8 において、
前記接続孔において、サイドウォールが設けられている、半導体装置。

【請求項 2 0】 半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層とを含む、半導体装置の製造方法であって、

前記半導体基板の所定領域に、不純物をイオン注入して、不純物拡散層から構成される第 1 の導電層を形成する工程、および

前記半導体層の上または前記半導体層内に設けられた第 2 の導電層と、前記第 1 の導電層とを電氣的に接続する工程を含む、半導体装置の製造方法。

【請求項 2 1】 請求項 2 0 において、
前記第 1 の導電層は、配線層として機能する、半導体装置の製造方法。

【請求項 2 2】 請求項 2 0 において、
前記第 1 の導電層は、抵抗層として機能する、半導体装置の製造方法。

【請求項 2 3】 請求項 2 0 ～ 2 2 のいずれかにおいて、
さらに、前記第 1 の導電層と、前記第 2 の導電層とを、電氣的に接続するための接続孔を形成する工程、および
前記接続孔内に、コンタクト層を形成する工程を含む、半導体装置の製造方法。

【請求項 2 4】 請求項 2 3 において、
さらに、前記接続孔において、サイドウォールを形成する工程を含む、半導体装置の製造方法。

【請求項 2 5】 半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層と、を含む半導体装置の製造方法であって、

前記半導体基板において、コンタクト領域が設けられ、

前記コンタクト領域は、前記半導体層の上または前記半導体層内に設けられた導電層と電氣的に接続され、かつ、電荷を前記半導体基板に流す機能を有し、

前記半導体基板内に、不純物をイオン注入し、前記コンタクト領域を形成する工程、および

前記導電層と、前記コンタクト領域を電氣的に接続する工程を含む、半導体装置の製造方法。

【請求項 2 6】 請求項 2 5 において、

さらに、前記コンタクト領域と、前記半導体層に設けられた導電層とを、電氣的に接続するための接続孔を形成する工程、および

前記接続孔内に、コンタクト層を形成する工程を含む、半導体装置の製造方法

。

【請求項 2 7】 請求項 2 6 において、

さらに、前記接続孔において、サイドウォールを形成する工程を含む、半導体装置の製造方法。

【請求項 2 8】 半導体基板と、

前記半導体基板の上に設けられた絶縁層と、

前記絶縁層の上に設けられた半導体層と、を含む半導体装置の製造方法であって、

容量素子を形成する工程 (a) を含み、

前記容量素子は、前記半導体基板に設けられた第 1 の電極と、前記絶縁層と、前記半導体層に設けられた第 2 の電極とで構成され

前記工程 (a) は、前記半導体基板に不純物をイオン注入し、前記第 1 の不純物拡散層から構成される前記第 1 の電極を形成する工程 (a - 1) を含む、半導体装置の製造方法。

【請求項 2 9】 請求項 2 8 において、

前記工程 (a) は、さらに、前記半導体層に不純物をイオン注入し、前記第 2 の不純物拡散層から構成される前記第 2 の電極を形成する工程 (a - 2) を含む、半導体装置の製造方法。

【請求項 3 0】 請求項 2 8 または 2 9 において、

前記半導体装置は、前記半導体層の上または前記半導体層内に設けられた導電層を有し、

前記第 1 の電極と、前記導電層とを、電氣的に接続するための接続孔を形成する工程、および

前記接続孔内に、コンタクト層を形成する工程を含む、半導体装置の製造方法

。

【請求項 3 1】 請求項 3 0 において、

さらに、前記接続孔において、サイドウォールを形成する工程を含む、半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、S O I 基板を有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【背景技術】

現在、L S I の高速化および低消費電力化の要求に伴い、S O I 基板の上に、L S I を形成する技術が提案されている。

【0 0 0 3】

S O I 基板 4 1 0 は、図 1 1 に示すように、半導体基板 4 2 0 と、絶縁層 4 3 0 と、半導体層 4 4 0 との積層構造を有する。一般に、半導体素子（たとえば M O S F E T）4 5 0 は、半導体層 4 4 0 において形成される。

【0 0 0 4】

【発明が解決しようとする課題】

本発明の目的は、半導体層の上の領域を有効利用することができる、半導体装置およびその製造方法を提供することにある。

【0 0 0 5】

【課題を解決するための手段】

(半導体装置)

(A) 本発明の第 1 の半導体装置は、
半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層とを含む、半導体装置であって、
前記半導体基板において、第 1 の導電層が設けられ、
前記第 1 の導電層は、前記半導体層の上または前記半導体層内に設けられた第 2 の導電層と電氣的に接続されている。

【 0 0 0 6 】

本発明においては、半導体基板において、第 1 の導電層が設けられている。このため、半導体基板に第 1 の導電層を形成した分だけ、半導体層の上の領域を有効に利用することができる。その結果、半導体装置の集積度を向上させることができる。

【 0 0 0 7 】

前記第 1 の導電層は、不純物拡散層により構成されることができる。第 1 の導電層が不純物拡散層から構成されることにより、不純物をイオン注入することによって、半導体基板に第 1 の導電層を形成することができる。

【 0 0 0 8 】

前記第 1 の導電層は、配線層として機能させることができる。または、前記第 1 の導電層は、抵抗層として機能させることができる。

【 0 0 0 9 】

前記第 1 の導電層と前記第 2 の導電層とを接続するための接続孔が設けられ、前記接続孔内において、コンタクト層が設けられることができる。また、前記接続孔において、サイドウォールが設けられることもできる。

【 0 0 1 0 】

(B) 本発明の第 2 の半導体装置は、
半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層とを含む、半導体装置であって、

前記半導体基板において、コンタクト領域が設けられ、

前記コンタクト領域は、前記半導体層の上または前記半導体層内に設けられた導電層と電氣的に接続され、かつ、電荷を前記半導体基板に流す機能を有する。

【0011】

本発明の第2の半導体装置は、半導体基板内に、コンタクト領域を有する。コンタクト領域は、導電層と導通し、電荷を前記半導体基板に流す機能を有する。その結果、半導体層にチャージされた電荷を半導体基板に流すことができる。

【0012】

前記コンタクト領域は、不純物拡散層からなることができる。

【0013】

前記コンタクト領域と前記半導体基板とで、PN接合が構成されていることができる。具体的には、次の2つの態様がある。

【0014】

(1) 第1に、前記半導体基板は、N型であり、前記コンタクト領域は、P型である。この場合、半導体基板に電流を流すことができる。

【0015】

(2) 第2に、前記半導体基板は、P型であり、前記コンタクト領域は、N型である。この場合、チャージされた電子を半導体基板に流すことができる。

【0016】

前記コンタクト領域と前記導電層とを接続するための接続孔が設けられ、前記接続孔内において、コンタクト層が設けられることができる。また、前記接続孔において、サイドウォールが設けられることができる。

【0017】

(C) 本発明の第3の半導体装置は、

半導体基板と、

前記半導体基板の上に設けられた絶縁層と、

前記絶縁層の上に設けられた半導体層とを含む、半導体装置であって、

前記半導体基板において、第1の電極が設けられ、

前記半導体層において、第2の電極が設けられ、

前記第 1 の電極と、前記第 2 の電極と、前記絶縁層とで、容量素子が構成されている。

【 0 0 1 8 】

本発明においては、第 1 の電極が半導体基板に設けられ、第 2 の電極が半導体層に設けられている。そして、半導体基板と半導体層との間に介在する絶縁層を、容量素子の誘電体膜として機能させている。すなわち、半導体層の上に容量素子を形成することなく、容量素子を形成することができる。このため、半導体層の上の領域を有効に利用することができる。その結果、半導体装置の集積度を向上させることができる。

【 0 0 1 9 】

前記第 1 の電極は、第 1 の不純物拡散層により構成されることができる。前記第 2 の電極は、第 2 の不純物拡散層により構成されることができる。

【 0 0 2 0 】

前記第 1 の電極は、前記半導体層の上または前記半導体層内に設けられた導電層と電氣的に接続されることができる。前記第 1 の電極と前記導電層とを接続するための接続孔が設けられ、前記接続孔内において、コンタクト層が設けられることができる。前記接続孔において、サイドウォールが設けられることができる。

【 0 0 2 1 】

(半導体装置の製造方法)

(A) 本発明の第 1 の半導体装置の製造方法は、
半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層とを含む、半導体装置の製造方法であって、

前記半導体基板の所定領域に、不純物をイオン注入して、不純物拡散層から構成される第 1 の導電層を形成する工程、および

前記半導体層の上または前記半導体層内に設けられた第 2 の導電層と、前記第 1 の導電層とを電氣的に接続する工程を含む。

【 0 0 2 2 】

前記第 1 の導電層は、配線層として機能させることができる。または、前記第 1 の導電層は、抵抗層として機能させることができる。

【 0 0 2 3 】

さらに、前記第 1 の導電層と、前記第 2 の導電層とを、電氣的に接続するための接続孔を形成する工程、および

前記接続孔内に、コンタクト層を形成する工程を含むことができる。

【 0 0 2 4 】

また、さらに、前記接続孔において、サイドウォールを形成する工程を含むことができる。

【 0 0 2 5 】

(B) 本発明の第 2 の半導体装置の製造方法は、

半導体基板と、

前記半導体基板の上に設けられた絶縁層と、

前記絶縁層の上に設けられた半導体層と、を含む半導体装置の製造方法であって、

前記半導体基板において、コンタクト領域が設けられ、

前記コンタクト領域は、前記半導体層の上または前記半導体層内に設けられた導電層と電氣的に接続され、かつ、電荷を前記半導体基板に流す機能を有し、

前記半導体基板内に、不純物をイオン注入し、前記コンタクト領域を形成する工程、および

前記導電層と、前記コンタクト領域を電氣的に接続する工程を含む。

【 0 0 2 6 】

さらに、前記コンタクト領域と、前記半導体層に設けられた導電層とを、電氣的に接続するための接続孔を形成する工程、および

前記接続孔内に、コンタクト層を形成する工程を含むことができる。

【 0 0 2 7 】

また、さらに、前記接続孔において、サイドウォールを形成する工程を含むことができる。

【 0 0 2 8 】

(C) 本発明の第 3 の半導体装置の製造方法は、
半導体基板と、
前記半導体基板の上に設けられた絶縁層と、
前記絶縁層の上に設けられた半導体層と、を含む半導体装置の製造方法であって、

容量素子を形成する工程 (a) を含み、
前記容量素子は、前記半導体基板に設けられた第 1 の電極と、前記絶縁層と、
前記半導体層に設けられた第 2 の電極とで構成され
前記工程 (a) は、前記半導体基板に不純物をイオン注入し、前記第 1 の不純物拡散層から構成される前記第 1 の電極を形成する工程 (a - 1) を含む。

【 0 0 2 9 】

前記工程 (a) は、さらに、前記半導体層に不純物をイオン注入し、前記第 2 の不純物拡散層から構成される前記第 2 の電極を形成する工程 (a - 2) を含むことができる。

【 0 0 3 0 】

前記半導体装置は、前記半導体層の上または前記半導体層内に設けられた導電層を有し、

前記第 1 の電極と、前記導電層とを、電氣的に接続するための接続孔を形成する工程、および

前記接続孔内に、コンタクト層を形成する工程を含むことができる。

【 0 0 3 1 】

また、さらに、前記接続孔において、サイドウォールを形成する工程を含むことができる。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

【 0 0 3 3 】

【第 1 の実施の形態】

(半導体装置)

以下、第 1 の実施の形態に係る半導体装置について説明する。図 1 は、第 1 の実施の形態に係る半導体装置を模式的に示す断面図である。

【0034】

半導体装置 100 は、SOI 基板 110 を有する。SOI 基板 110 は、半導体基板 120、絶縁層 130 および SOI 層（半導体層）140 の積層構造を有する。SOI 層 140 の所定領域においては、トレンチ素子分離領域 142 が形成されている。

【0035】

半導体基板 120 には、不純物拡散層 122 が形成されている。この不純物拡散層 122 は、配線層として機能する。不純物拡散層 122 の不純物濃度は、所望とする配線層の導電性を考慮して規定される。

【0036】

SOI 基板 110 の所定領域において、不純物拡散層 122 に達する接続孔 150 が形成されている。接続孔 150 における、SOI 基板 110 の側面には、サイドウォール 152 が形成されている。接続孔 150 内には、コンタクト層 160 が形成されている。サイドウォール 152 は、接続孔 150 が能動素子領域 144 に形成される場合、能動素子領域 144 とコンタクト層 160 とが短絡することを防止する役割を有する。SOI 層 140 およびコンタクト層 160 の上には、配線層 162 が形成されている。

【0037】

以下、第 1 の実施の形態に係る半導体装置の作用効果について説明する。

【0038】

(a) 本実施の形態においては、配線層として機能する不純物拡散層 122 が半導体基板 120 に形成されている。このため、不純物拡散層 122 を半導体基板 120 に形成した分だけ、半導体層 140 の上の領域を有効に利用することができる。その結果、本実施の形態によれば、半導体装置の集積度を向上させることができる。

【0039】

(b) 半導体基板に形成された、配線層として機能する不純物拡散層 1 2 2 は、たとえば図 4 に示すように、第 1 のトランジスタ領域 1 7 0 におけるゲート電極 1 7 2 と、第 2 のトランジスタ領域 1 8 0 におけるゲート電極 1 8 2 とを接続する場合に適用することができる。なお、S 1 はソース領域を示し、D 1 はドレイン領域を示す。

【 0 0 4 0 】

(半導体装置の製造方法)

以下、第 1 の実施の形態に係る半導体装置の製造方法について説明する。図 2 および図 3 は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【 0 0 4 1 】

(a) まず、図 2 (a) に示すように、SOI 層 1 4 0 の上に、第 1 のレジスト層 R 1 を形成する。第 1 のレジスト層 R 1 は、不純物拡散層 1 2 2 の形成予定領域の上方において、開口されている。

【 0 0 4 2 】

次に、第 1 のレジスト層 R 1 をマスクとして、半導体基板 1 2 0 内に、不純物 1 2 2 a をイオン注入する。これにより、半導体基板 1 2 0 内において、不純物拡散層 1 2 2 が形成される。次に、第 1 のレジスト層 R 1 をアッシング除去する。

【 0 0 4 3 】

(b) 次に、図 2 (b) に示すように、SOI 層 1 4 0 の所定領域において、公知の方法により、トレンチ素子分離領域 1 4 2 を形成する。

【 0 0 4 4 】

(c) 次に、図 3 (a) に示すように、SOI 層 1 4 0 の上に、第 2 のレジスト層 R 2 を形成する。第 2 のレジスト層 R 2 は、接続孔 1 5 0 の形成予定領域の上方において、開口されている。次に、第 2 のレジスト層 R 2 をマスクとして、SOI 層 1 4 0、絶縁層 1 3 0 および半導体基板 1 2 0 をエッチングして、接続孔 1 5 0 を形成する。エッチング方法は、たとえば反応性イオンエッチングを挙げることができる。次に、第 2 のレジスト層 R 2 を除去する。

【 0 0 4 5 】

(d) 次に、図 3 (b) に示すように、接続孔 1 5 0 における、S O I 基板 1 1 0 の側面において、サイドウォール 1 5 2 を形成する。サイドウォール 1 5 2 は、たとえば次のようにして形成することができる。接続孔 1 5 0 を充填するようにして、S O I 層 1 4 0 の上に、絶縁層 (図示せず) を形成する。絶縁層は、たとえば C V D 法により形成することができる。絶縁層を反応性イオンエッチングすることにより、サイドウォール 1 5 2 を形成することができる。

【 0 0 4 6 】

(e) 次に、図 1 に示すように、接続孔 1 5 0 内に、コンタクト層 1 6 0 を形成する。コンタクト層 1 6 0 は、たとえば S O I 層 1 4 0 上に、接続孔 1 5 0 を充填する導電層を形成し、その導電層をエッチバックすることにより形成することができる。コンタクト層 1 6 0 の材質としては、たとえばポリシリコン、タンゲステン、アルミニウム、チタンを挙げることができる。また、必要に応じて、導電層の形成前に、接続孔 1 5 0 内にウエッチング層やバリア層を形成してもよい。

【 0 0 4 7 】

次に、S O I 層 1 4 0 の上に、所定のパターンを有する配線層 1 6 2 を形成する。こうして、第 1 の実施の形態に係る半導体装置 1 0 0 が形成される。

【 0 0 4 8 】

(変形例)

第 1 の実施の形態は、たとえば、次の変更が可能である。

【 0 0 4 9 】

(1) 上記の実施の形態においては、不純物拡散層 1 2 2 を配線層として機能させた。しかし、不純物拡散層 1 2 2 を抵抗層として機能させてもよい。この場合、不純物拡散層 1 2 2 の不純物濃度は、所望とする抵抗値を考慮して規定される。

【 0 0 5 0 】

(2) 上記の実施の形態においては、不純物拡散層 1 2 2 は、S O I 層 1 4 0 の上に形成された配線層 1 6 2 と接続されている。しかし、これに限定されず、

不純物拡散層 1 2 2 は、S O I 層 1 4 0 内に形成された導電層と接続させてもよい。

【 0 0 5 1 】

(3) 上記の実施の形態においては、接続孔 1 6 0 は、トレンチ素子分離領域 1 4 2 において形成されていた。しかし、これに限定されず、図 1 2 に示すように、接続孔 1 6 0 は、能動素子領域 1 4 4 において形成されていてもよい。この変形例は、以下の実施の形態においても同様に適用することができる。

【 0 0 5 2 】

[第 2 の実施の形態]

(半導体装置)

以下、第 2 の実施の形態に係る半導体装置を説明する。図 5 は、第 2 の実施の形態に係る半導体装置を模式的に示す断面図である。

【 0 0 5 3 】

半導体装置 2 0 0 は、S O I 基板 2 1 0 を有する。S O I 基板 2 1 0 は、半導体基板 2 2 0、絶縁層 2 3 0 および S O I 層 (半導体層) 2 4 0 の積層構造を有する。S O I 層 2 4 0 の所定領域においては、トレンチ素子分離領域 2 4 2 が形成されている。

【 0 0 5 4 】

半導体基板 2 2 0 には、第 1 の不純物拡散層 2 2 2 が形成されている。S O I 層 2 4 0 においては、トレンチ素子分離領域 2 4 2 間に、第 2 の不純物拡散層 2 4 4 が形成されている。第 1 の不純物拡散層 2 2 2 と、絶縁層 2 3 0 と、第 2 の不純物拡散層 2 4 4 とで、容量素子 2 7 0 が構成されている。つまり、第 1 の不純物拡散層 2 2 2 が下部電極として機能し、絶縁層 2 3 0 が誘電体膜として機能し、第 2 の不純物拡散層 2 4 4 が上部電極として機能する。

【 0 0 5 5 】

第 1 の不純物拡散層 2 2 2 の不純物濃度は、所望とする容量素子 2 7 0 の性能を考慮して規定される。第 2 の不純物拡散層 2 4 4 の不純物濃度は、所望とする容量素子 2 7 0 の性能を考慮して規定される。絶縁層 2 3 0 の厚さは、所望とする容量素子 2 7 0 の性能を考慮して規定される。

【 0 0 5 6 】

S O I 基板 2 1 0 の所定領域において、第 1 の不純物拡散層 2 2 2 に達する接続孔 2 5 0 が形成されている。接続孔 2 5 0 における、S O I 基板 2 1 0 の側面には、サイドウォール 2 5 2 が形成されている。接続孔 2 5 2 内には、第 1 のコンタクト層 2 6 0 が形成されている。サイドウォール 2 5 2 は、接続孔 2 5 0 が能動素子領域に形成される場合、能動素子領域と第 1 のコンタクト層 2 6 0 とが短絡することを防止する役割を有する。S O I 層 2 4 0 および第 1 のコンタクト層 2 6 0 の上には、所定のパターンを有する第 1 の配線層 2 6 2 が形成されている。

【 0 0 5 7 】

S O I 層 2 4 0 および第 1 の配線層 2 6 2 の上には、層間絶縁層 2 8 0 が形成されている。層間絶縁層 2 8 0 の所定の領域において、スルーホール 2 8 2 が形成されている。スルーホール 2 8 2 は、第 2 の不純物拡散層 2 4 4 に達している。スルーホール 2 4 2 内には、第 2 のコンタクト層 2 9 0 が形成されている。層間絶縁層 2 8 0 および第 2 のコンタクト層 2 9 0 の上には、所定のパターンを有する第 2 の配線層 2 9 2 が形成されている。

【 0 0 5 8 】

以下、第 2 の実施の形態に係る半導体装置の作用効果について説明する。

【 0 0 5 9 】

本実施の形態においては、半導体基板 2 2 0 に形成された第 1 の不純物拡散層 2 2 2 と、絶縁層 2 3 0 と、半導体層 2 4 0 に形成された第 2 の不純物拡散層 2 4 4 とで、容量素子 2 7 0 を構成させている。このため、半導体層 2 4 0 の上に容量素子を形成しなくても済む。その結果、半導体層 2 4 0 の上の領域を有効に利用することができる。したがって、半導体装置の集積度を向上させることができる。

【 0 0 6 0 】

(半導体装置の製造方法)

以下、第 2 の実施の形態に係る半導体装置の製造方法について説明する。図 6 および図 7 は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図で

ある。

【 0 0 6 1 】

(a) まず、図 6 (a) に示すように、SOI 層 2 4 0 の上に、第 1 のレジスト層 R 1 を形成する。第 1 のレジスト層 R 1 は、第 1 の不純物拡散層 2 2 2 の形成予定領域の上方において、開口されている。

【 0 0 6 2 】

次に、第 1 のレジスト層 R 1 をマスクとして、半導体基板 2 2 0 内に、不純物 2 2 2 a をイオン注入する。これにより、半導体基板 2 2 0 内において、第 1 の不純物拡散層 2 2 2 が形成される。次に、第 1 のレジスト層 R 1 を除去する。

【 0 0 6 3 】

(b) 次に、図 6 (b) に示すように、SOI 層 2 4 0 の上に、第 2 のレジスト層 R 2 を形成する。第 2 のレジスト層 R 2 は、第 2 の不純物拡散層 2 4 4 の形成予定領域の上方において、開口されている。

【 0 0 6 4 】

次に、第 2 のレジスト層 R 2 をマスクとして、SOI 層 2 4 0 内に、不純物 2 4 4 a をイオン注入する。これにより、SOI 層 2 4 0 内において、第 2 の不純物拡散層 2 4 4 が形成される。また、第 2 の不純物拡散層 2 4 4 が形成されることにより、第 1 の不純物拡散層 2 2 2 と絶縁層 2 3 0 と第 1 の不純物拡散層 2 4 4 とで、容量素子 2 7 0 が形成されることになる。第 2 のレジスト層 R 2 を除去する。

【 0 0 6 5 】

(c) 次に、図 7 (a) に示すように、SOI 層 2 4 0 の所定領域において、公知の方法により、トレンチ素子分離領域 2 4 2 を形成する。

【 0 0 6 6 】

(d) 次に、図 7 (b) に示すように、SOI 層 2 4 0 の上に、第 3 のレジスト層 R 3 を形成する。第 3 のレジスト層 R 3 は、接続孔 2 5 0 の形成予定領域の上方において、開口されている。

【 0 0 6 7 】

次に、第 3 のレジスト層 R 3 をマスクとして、SOI 層 2 4 0、絶縁層 2 3 0

および半導体基板 2 2 0 をエッチングして、接続孔 2 5 0 を形成する。このエッチングは、たとえば、反応性イオンエッチングにより行うことができる。次に、第 3 のレジスト層 R 3 を除去する。

【 0 0 6 8 】

(e) 次に、図 7 (c) に示すように、接続孔 2 5 0 における、S O I 基板 2 1 0 の側面において、サイドウォール 2 5 2 を形成する。サイドウォール 2 5 2 は、たとえば第 1 の実施の形態と同様にして形成することができる。

【 0 0 6 9 】

次に、接続孔 2 5 0 内に、第 1 のコンタクト層 2 6 0 を形成する。第 1 のコンタクト層 2 6 0 は、たとえば第 1 の実施の形態と同様にして形成することができる。また、必要に応じて、導電層の形成前に、接続孔 2 5 0 内にウエッティング層やバリア層を形成してもよい。

【 0 0 7 0 】

次に、S O I 層 2 4 0 上に、所定のパターンを有する第 1 の配線層 2 6 2 を形成する。

【 0 0 7 1 】

(f) 次に、図 5 に示すように、S O I 層 2 4 0 および第 1 の配線層 2 6 2 の上に、C V D 法により、酸化シリコン層からなる層間絶縁層 2 8 0 を形成する。そして、層間絶縁層 2 8 0 の所定領域を選択的にエッチング除去し、第 1 の不純物拡散層 2 4 4 に達するスルーホール 2 8 2 を形成する。その後、スルーホール 2 8 2 内に第 2 のコンタクト層 2 9 0 を形成する。次に、層間絶縁層 2 8 0 および第 2 のコンタクト層 2 9 0 の上に、所定のパターンを有する第 2 の配線層 2 9 2 を形成する。こうして、第 2 の実施の形態に係る半導体装置 2 0 0 が形成される。

【 0 0 7 2 】

(変形例)

第 2 の実施の形態は、たとえば、次の変更が可能である。

【 0 0 7 3 】

上記の実施の形態においては、第 1 の不純物拡散層 2 2 2 は、S O I 層 2 4 0

の上に形成された第 1 の配線層 2 6 2 と接続されている。しかし、これに限定されず、第 1 の不純物拡散層 2 2 2 は、S O I 層 2 4 0 内に形成された導電層と接続させてもよい。

【 0 0 7 4 】

[第 3 の実施の形態]

(半導体装置)

以下、第 3 の実施の形態に係る半導体装置について説明する。図 8 は、第 3 の実施の形態に係る半導体装置を模式的に示す断面図である。

【 0 0 7 5 】

半導体装置 3 0 0 は、S O I 基板 3 1 0 を有する。S O I 基板 3 1 0 は、半導体基板 3 2 0、絶縁層 3 3 0 および S O I 層（半導体層） 3 4 0 の積層構造を有する。S O I 層 3 4 0 の所定領域においては、トレンチ素子分離領域 3 4 2 が形成されている。

【 0 0 7 6 】

半導体基板 3 2 0 の導電型は、N 型である。半導体基板 3 2 0 には、不純物拡散層（コンタクト領域） 3 2 2 が形成されている。不純物拡散層 3 2 2 は、電荷を半導体基板 3 2 0 に流す機能を有する。不純物拡散層 3 2 2 は、P 型である。つまり、不純物拡散層 3 2 2 と半導体基板 3 2 0 とで、P N 接合のダイオードが形成されている。

【 0 0 7 7 】

S O I 基板 3 1 0 の所定領域において、不純物拡散層 3 2 2 に達する接続孔 3 5 0 が形成されている。接続孔 3 5 0 における、S O I 基板 3 1 0 の側面には、サイドウォール 3 5 2 が形成されている。接続孔 3 5 0 内には、コンタクト層 3 6 0 が形成されている。サイドウォール 3 5 2 は、接続孔 3 5 0 が能動素子領域に形成される場合、能動素子領域とコンタクト層 3 6 0 とが短絡することを防止する役割を有する。S O I 層 3 4 0 およびコンタクト層 3 6 0 の上には、所定のパターンを有する配線層 3 6 2 が形成されている。

【 0 0 7 8 】

以下、第 3 の実施の形態に係る半導体装置の作用効果を説明する。

【 0 0 7 9 】

本実施の形態においては、半導体基板 3 2 0 内に、配線層 3 6 2 に導通する不純物拡散層 3 2 2 が形成されている。この不純物拡散層 3 2 2 と、半導体基板 3 2 0 とで、PN 接合ダイオードを構成している。このため、PN 接合ダイオードを介して、半導体基板 4 2 0 に電流を逃がすことができる。このため、不純物拡散層 3 2 2 は、静電保護領域として機能させることができる。

【 0 0 8 0 】

(半導体装置の製造方法)

以下、第 3 の実施の形態に係る半導体装置の製造方法について説明する。図 9 および図 1 0 は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【 0 0 8 1 】

(a) まず、N 型の半導体基板を有する SOI 基板 3 1 0 を用意する。次に、図 9 に示すように、SOI 層 3 4 0 の上に、第 1 のレジスト層 R 1 を形成する。第 1 のレジスト層 R 1 は、不純物拡散層 3 2 2 の形成予定領域の上方において、開口されている。

【 0 0 8 2 】

次に、第 1 のレジスト層 R 1 をマスクとして、半導体基板 3 2 0 内に、P 型の不純物 3 2 2 a をイオン注入する。これにより、半導体基板 3 2 0 内において、P 型の不純物拡散層 3 2 2 が形成される。また、P 型の不純物拡散層 3 2 2 が形成されることにより、不純物拡散層 3 2 2 の境界において、PN 接合ダイオードが形成される。次に、第 1 のレジスト層 R 1 を除去する。

【 0 0 8 3 】

(b) 次に、図 1 0 (a) に示すように、SOI 層 3 4 0 の所定領域において、公知の方法により、トレンチ素子分離領域 3 4 2 を形成する。

【 0 0 8 4 】

(c) 次に、図 1 0 (b) に示すように、SOI 層 3 4 0 の上に、第 2 のレジスト層 R 2 を形成する。第 2 のレジスト層 R 2 は、不純物拡散層 3 2 2 に達する接続孔 3 5 0 の形成予定領域の上方において、開口されている。

【 0 0 8 5 】

次に、第 2 のレジスト層 R 2 をマスクとして、S O I 層 3 4 0、絶縁層 3 3 0 および半導体基板 3 2 0 をエッチングして、接続孔 3 5 0 を形成する。このエッチングは、たとえば反応性イオンエッチングにより行うことができる。次いで、第 2 のレジスト層 R 2 を除去する。

【 0 0 8 6 】

(d) 次に、図 8 に示すように、接続孔 3 5 0 における、S O I 基板 3 1 0 の側面において、サイドウォール 3 5 2 を形成する。サイドウォール 3 5 2 は、たとえば第 1 の実施の形態と同様にして形成することができる。

【 0 0 8 7 】

次に、接続孔 3 5 0 内に、コンタクト層 3 6 0 を形成する。コンタクト層 3 6 0 は、たとえば第 1 の実施の形態と同様にして形成することができる。また、必要に応じて、導電層の形成前に、接続孔 2 5 0 内にウエッチング層やバリア層を形成してもよい。次に、S O I 層 3 4 0 の上に、所定のパターンを有する配線層 3 6 2 を形成する。こうして、第 3 の実施の形態に係る半導体装置 3 0 0 が形成される。

【 0 0 8 8 】

以下、本実施の形態に係る半導体装置の製造方法について説明する。

【 0 0 8 9 】

(a) 本実施の形態においては、半導体基板 3 2 0 内に、半導体基板 3 2 0 と P N 接合ダイオードを構成する不純物拡散層 3 2 2 を形成する工程を含んでいる。このため、不純物をイオン注入する工程や、エッチング工程で生じる電荷を、製造工程中に、P N 接合ダイオードを介して半導体基板 3 2 0 に逃がすことができる。その結果、半導体素子が、その電荷によって破壊されるのを防止することができる。

【 0 0 9 0 】

(変形例)

第 3 の実施の形態は、たとえば、次の変更が可能である。

【 0 0 9 1 】

(1) 第3の実施の形態においては、不純物拡散層322をP型とし、半導体基板320をN型とした。しかし、これに限定されず、不純物拡散層322をN型とし、半導体基板320をP型とすることができる。この場合、不純物拡散層322を介して、チャージされた電子を半導体基板320に逃がすことができる。

【0092】

(2) 上記の実施の形態においては、不純物拡散層322は、SOI層340の上に形成された配線層362と接続されている。しかし、これに限定されず、不純物拡散層322は、SOI層340内に形成された導電層と接続させてもよい。

【0093】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】

第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【図2】

第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図3】

第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図4】

配線層として機能する不純物拡散層の適用例を模式的に示す平面図である。

【図5】

第2の実施の形態に係る半導体装置を模式的に示す断面図である。

【図6】

第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図7】

第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図8】

第 3 の実施の形態に係る半導体装置を模式的に示す断面図である。

【図 9】

第 3 の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 0】

第 3 の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 1】

従来例に係る S O I 基板を有する半導体装置を模式的に示す断面図である。

【図 1 2】

第 1 の実施の形態に係る変形例を模式的に示す断面図である。

【符号の説明】

- 1 0 0, 2 0 0, 3 0 0 半導体装置
- 1 1 0, 2 1 0, 3 1 0 S O I 基板
- 1 2 0, 2 2 0, 3 2 0 半導体基板
- 1 2 2, 3 2 2 不純物拡散層
- 1 2 2 a, 3 2 2 a 不純物
- 1 3 0, 2 3 0, 3 3 0 絶縁層
- 1 4 0, 2 4 0, 3 4 0 S O I 層
- 1 4 2, 2 4 2, 3 4 2 トレンチ素子分離領域
- 1 4 4 能動素子領域
- 1 5 0, 2 5 0, 3 5 0 接続孔
- 1 5 2, 2 5 2, 3 5 2 サイドウォール
- 1 6 0, 3 6 0 コンタクト層
- 1 6 2, 3 6 2 配線層
- 1 7 0 第 1 のトランジスタ
- 1 7 2 ゲート電極
- 1 8 0 第 2 のトランジスタ
- 1 8 2 ゲート電極
- 2 2 2 第 1 の不純物拡散層
- 2 2 2 a 不純物

2 4 4 第 2 の不純物拡散層

2 4 4 a 不純物

2 6 0 第 1 のコンタクト層

2 6 2 第 1 の配線層

2 7 0 容量素子

2 8 0 層間絶縁層

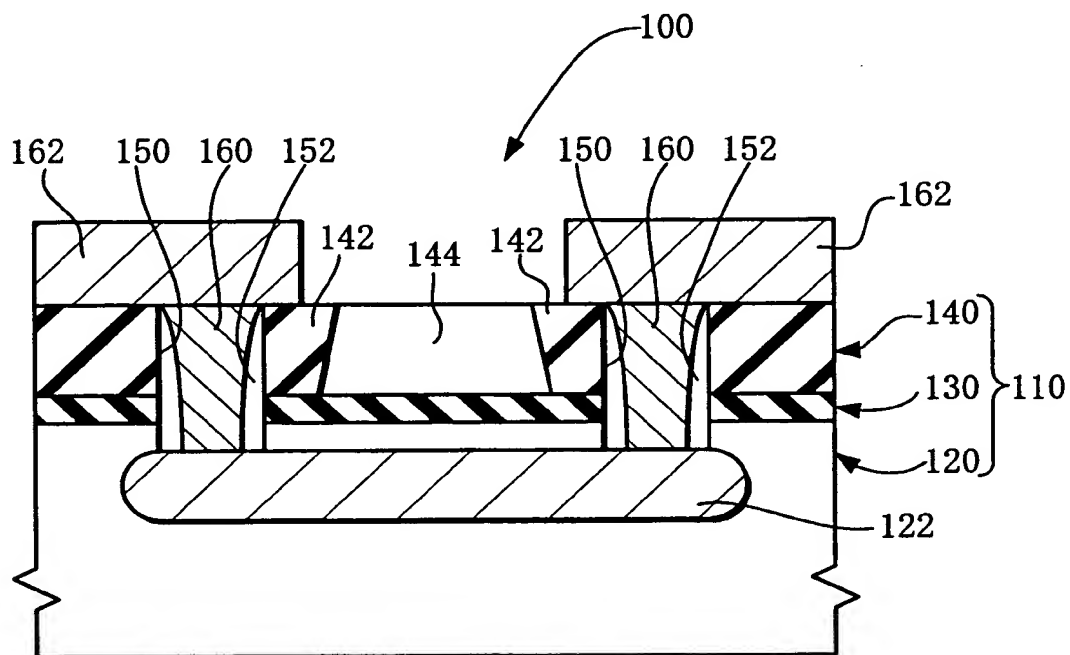
2 8 2 スルーホール

2 9 0 第 2 のコンタクト層

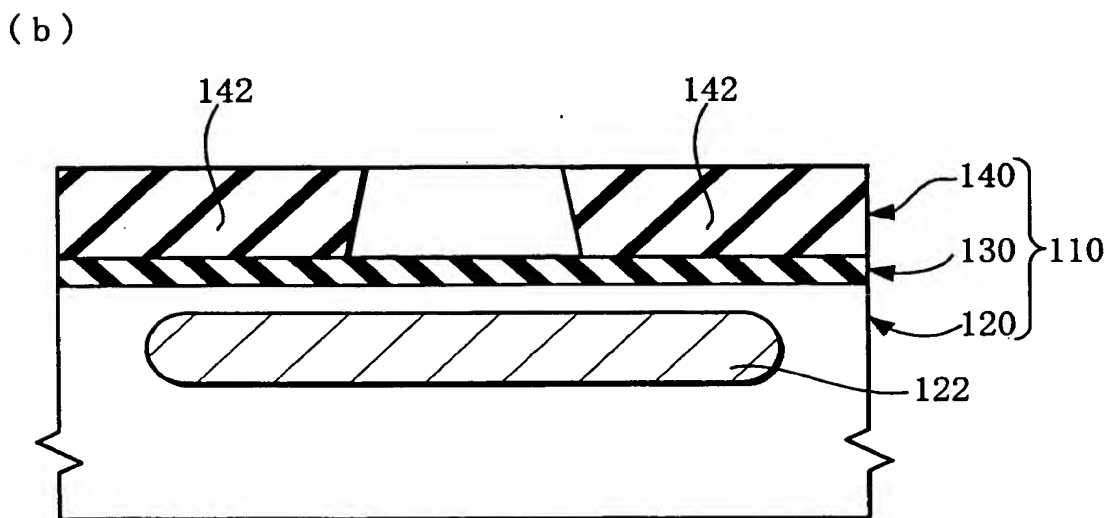
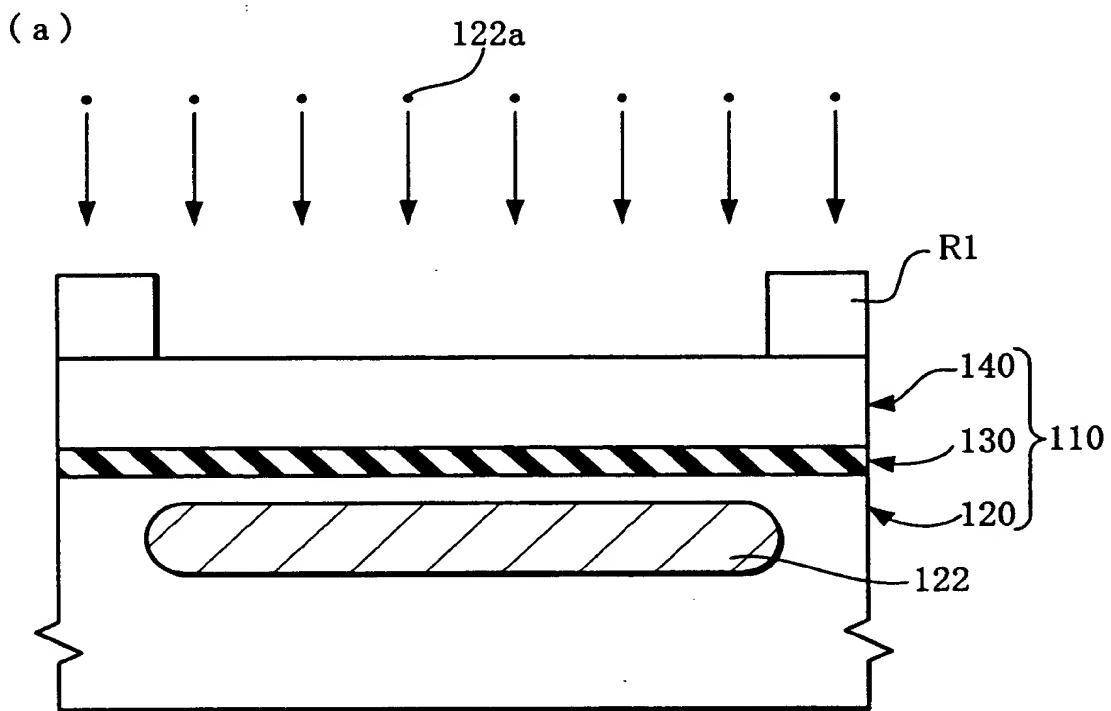
2 9 2 第 2 の配線層

【書類名】 図面

【図 1】

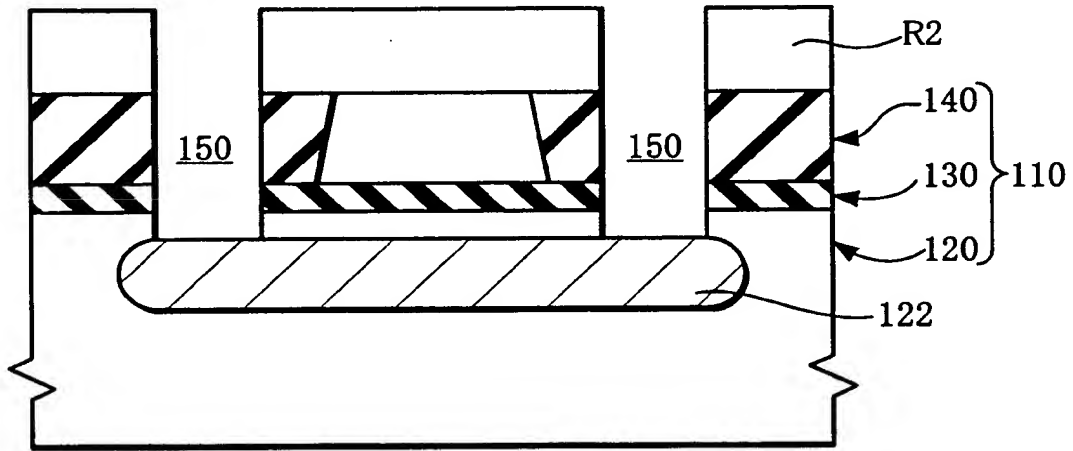


【図 2】

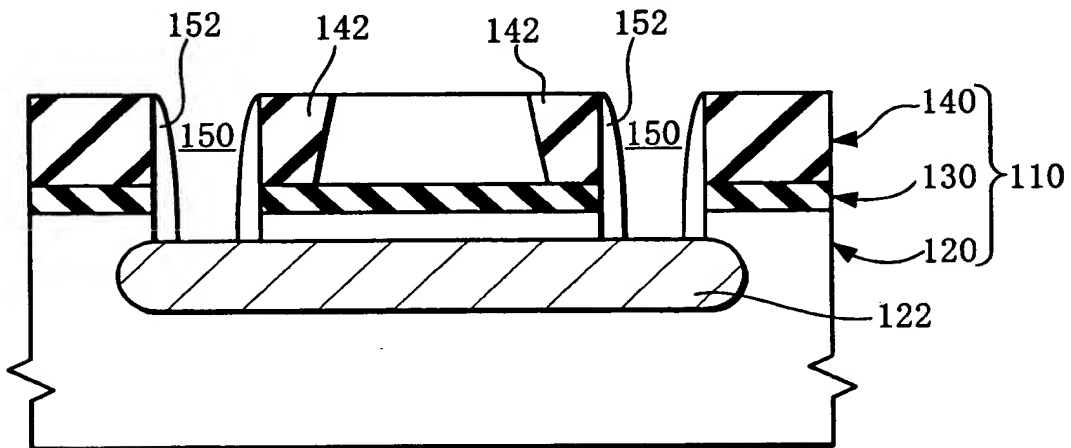


【図 3】

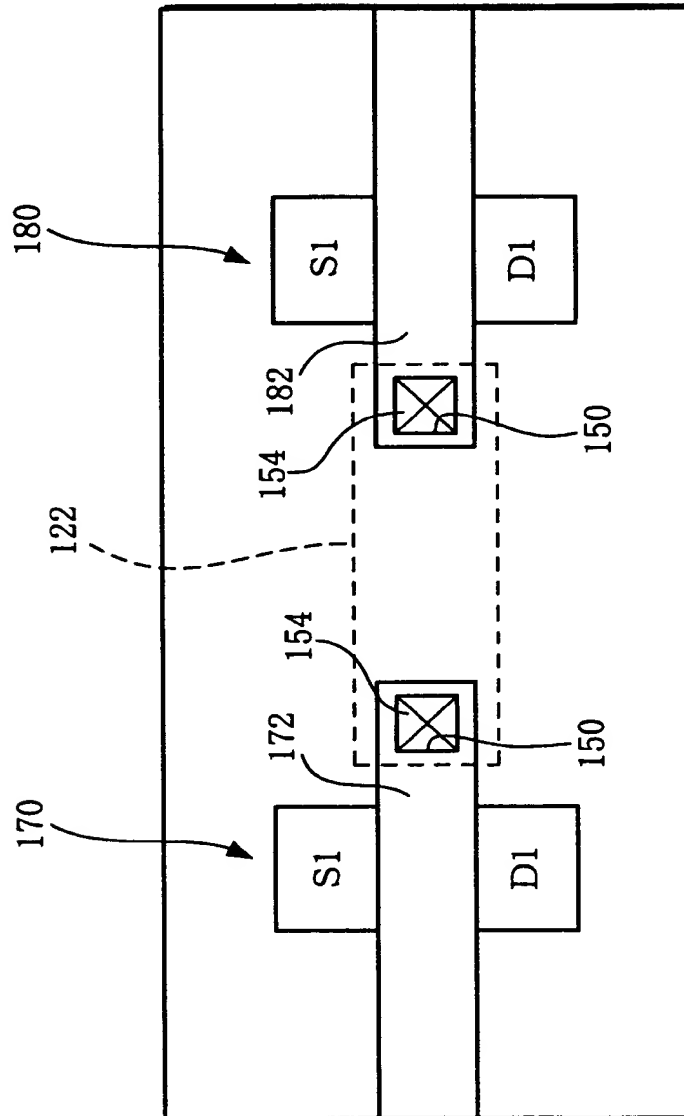
(a)



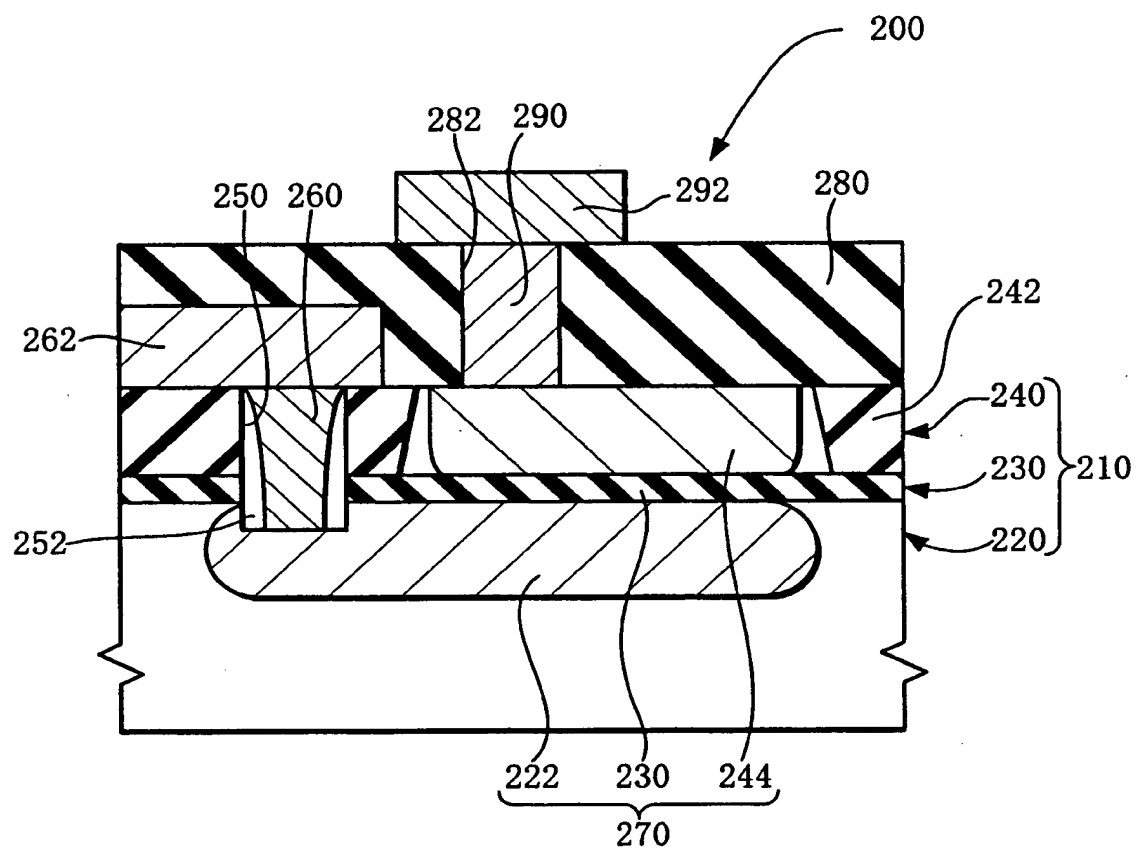
(b)



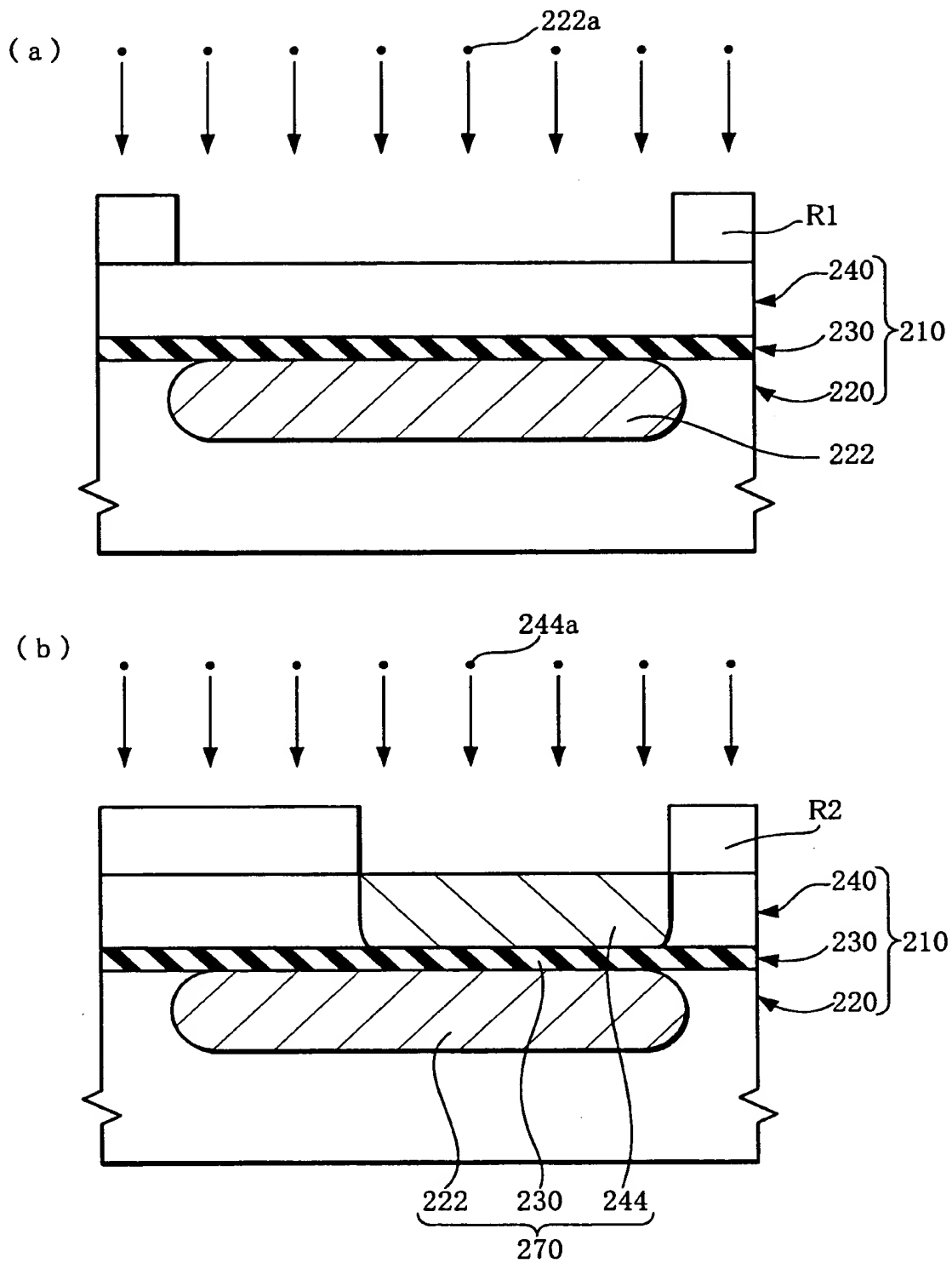
【図 4】



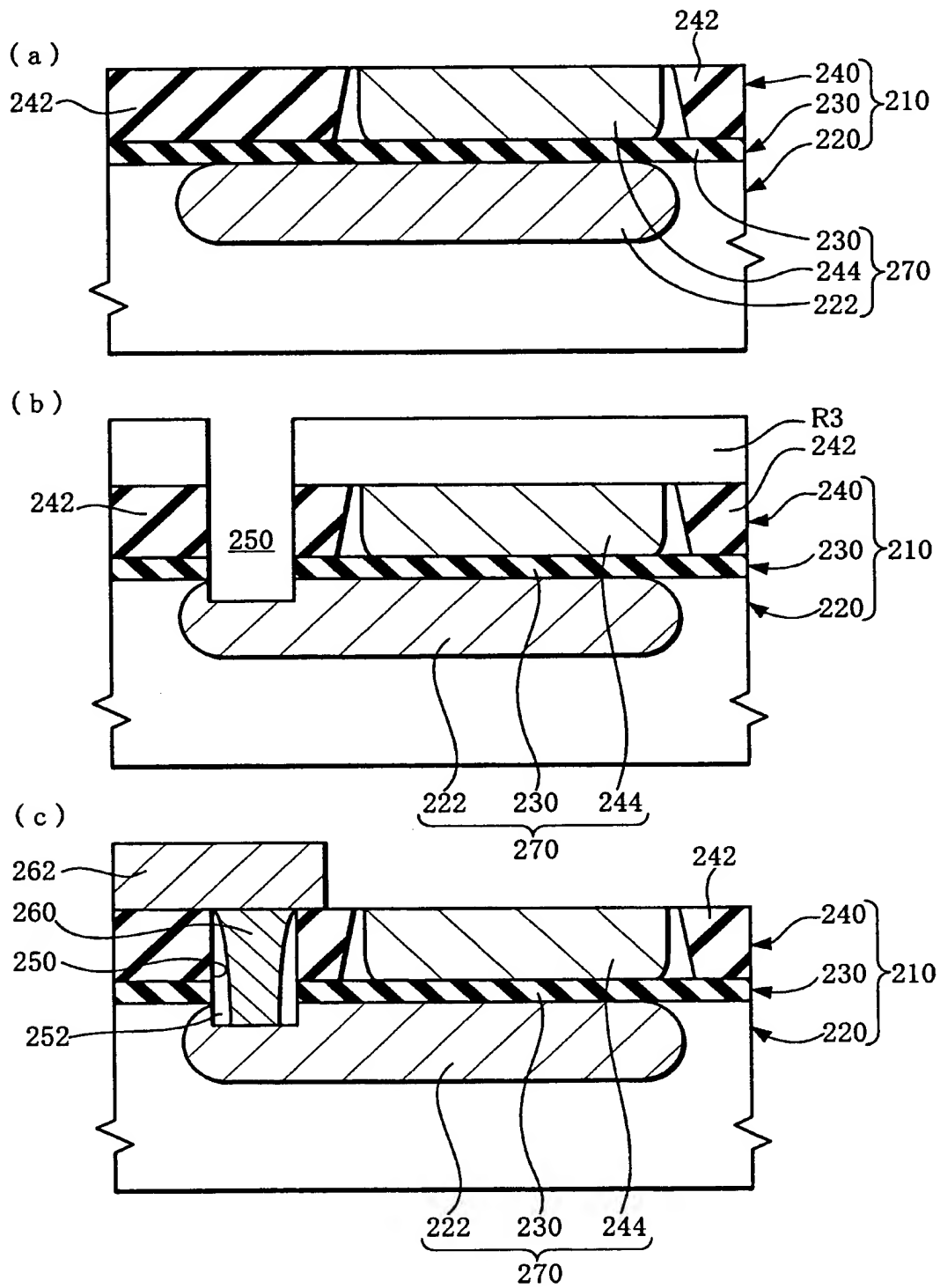
【図 5】



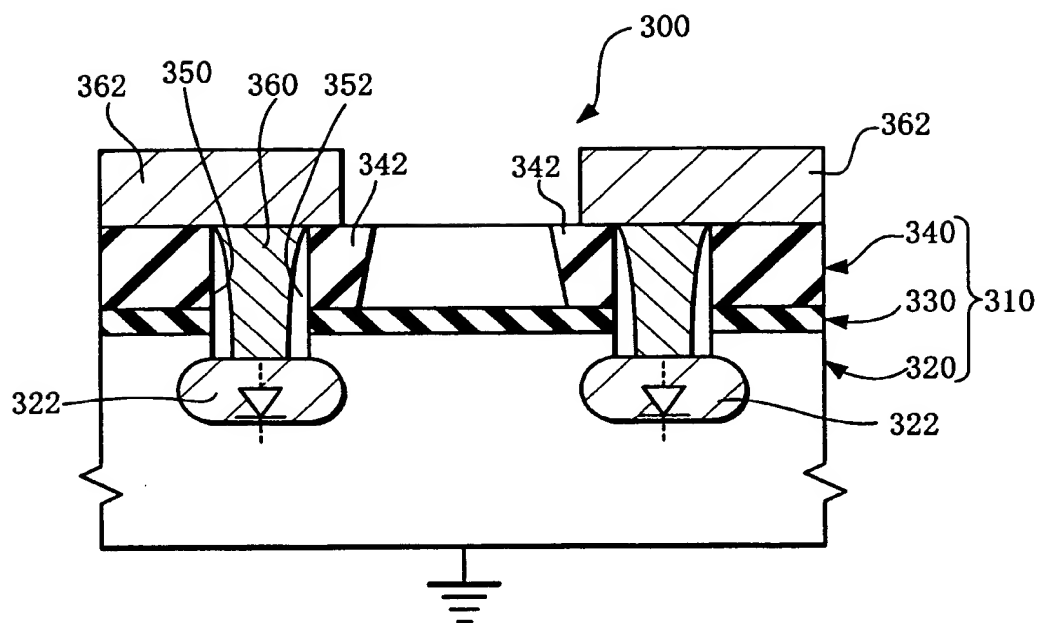
【図 6】



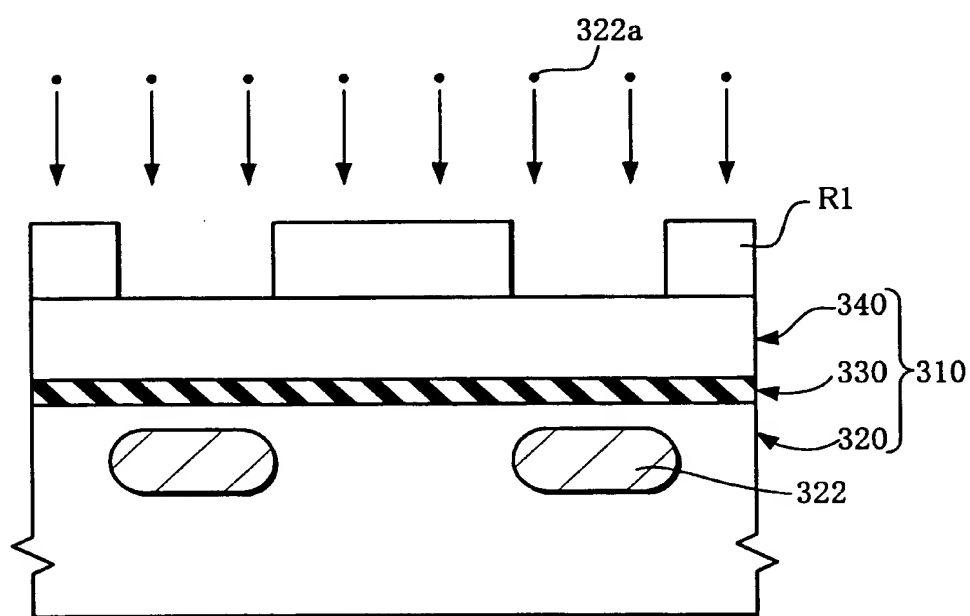
【図 7】



【図 8】

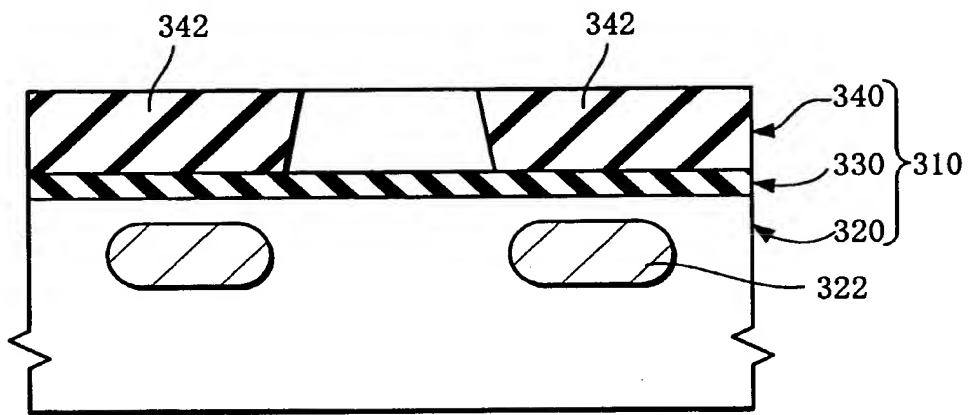


【図 9】

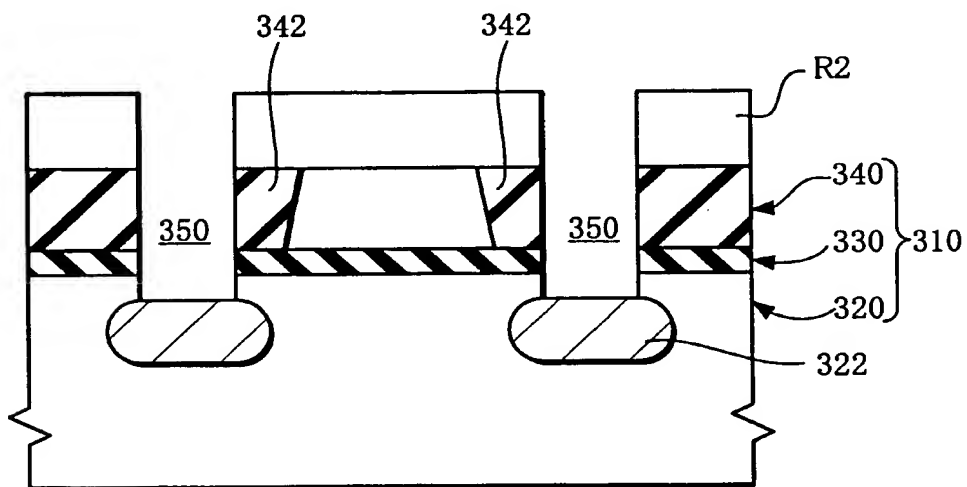


【図 1 0】

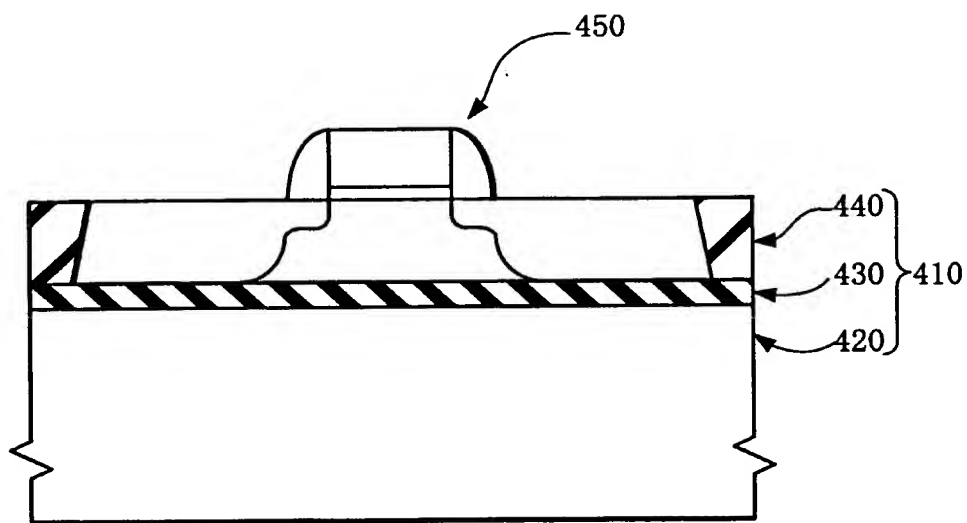
(a)



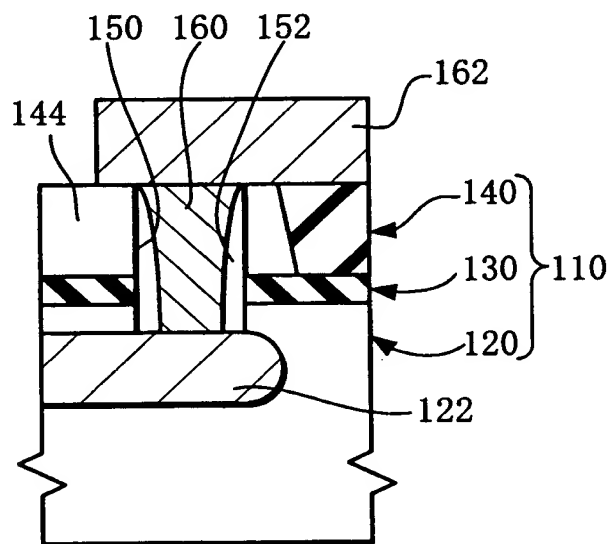
(b)



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 半導体層の上の領域を有効利用することができる、半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 1 0 0 は、半導体基板 1 2 0 と、半導体基板 1 2 0 の上に設けられた絶縁層 1 3 0 と、絶縁層 1 3 0 の上に設けられた S O I 層 1 4 0 とからなる S O I 基板 1 1 0 を含む。半導体基板 1 2 0 において、不純物拡散層 1 2 2 が設けられている。不純物拡散層 1 2 2 は、S O I 層 1 4 0 の上に設けられた配線層 1 6 2 と電氣的に接続されている。不純物拡散層 1 2 2 は、配線層または抵抗層として機能させることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日

[変更理由] 新規登録

住 所 東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名 セイコーエプソン株式会社